

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-021101

(43)Date of publication of application : 23.01.1998

(51)Int.Cl. G06F 11/00
G06F 1/04
G06F 11/22
G06F 11/30
G06F 15/78

(21)Application number : 08-188971

(71)Applicant : NEC HOME ELECTRON LTD
HONDA MOTOR CO LTD

(22)Date of filing : 27.06.1996

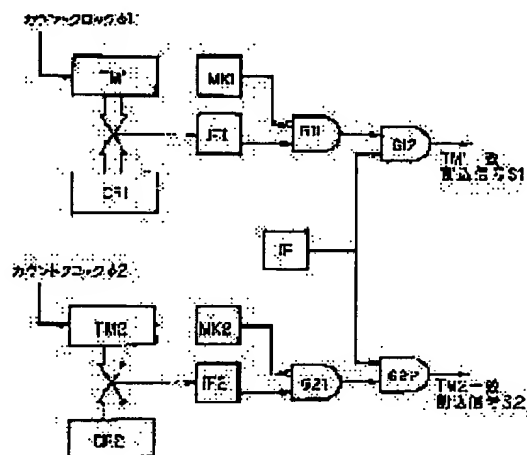
(72)Inventor : OTAKE KENSUKE
KOJIMA HIROTAKA
OTA ATSURO
HAYASHI TATSUO

(54) MICROCOMPUTER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To surely diagnose the speed of a clock even when the speed is disordered by collating the time measured by executing a program while defining the clock supplied through a 1st clock supply system as a reference and the time measured through a timer circuit with the clock supplied through a 2nd clock supply system as a reference.

SOLUTION: The time measured by hardware timer processing using a timer circuit TM1 is collated with the time measured by software timer processing for prescribed allowable width. The software timer processing is one in which a specified fixed program is repeatedly executed for a cyclic execution time in order to measure the target time. When it is discriminated that the time measured by the hardware timer processing is within prescribed upper and lower limits, interruption permitting processing is executed, and when it is discriminated that the measured time gets out of the prescribed upper and lower limits, on the contrary, a prescribed abnormal processing is executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-21101

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/00	3 1 0		G 0 6 F 11/00	3 1 0 J
1/04	3 0 2		1/04	3 0 2 Z
11/22	3 6 0		11/22	3 6 0 A
11/30	3 2 0		11/30	3 2 0 D
15/78	5 1 0		15/78	5 1 0 P

審査請求 未請求 請求項の数 5 F D (全 8 頁)

(21) 出願番号 特願平8-188971

(22) 出願日 平成 8 年(1996) 6 月27日

(71) 出願人 000001937

日本電気ホームエレクトロニクス株式会社
大阪府大阪市中央区城見一丁目 4 番24号

(71) 出願人 000005326

本田技研工業株式会社
東京都港区南青山二丁目 1 番 1 号

(72) 発明者 大竹 賢輔

大阪府大阪市中央区城見一丁目 4 番24号
日本電気ホームエレクトロニクス株式会社
内

(74) 代理人 弁理士 飯塚 信市

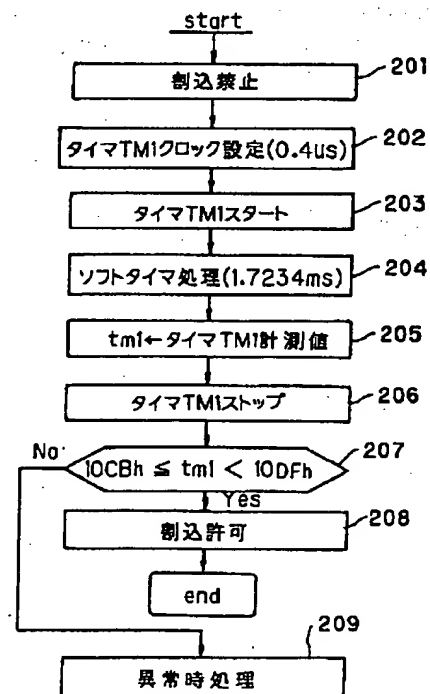
最終頁に続く

(54) 【発明の名称】 マイクロコンピュータ装置

(57) 【要約】

【課題】 CPUに供給されるクロックの速度に狂いが生じていたり、あるいは周辺ハードウェアに供給されるクロックの速度に狂いが生じているような場合にも、これを的確に診断する機能を備えたマイクロコンピュータ装置を提供する。

【解決する手段】 第1のクロック供給系を介して供給されるクロックを基準としてCPUにて一定のプログラムを実行することにより計測された計測時間と、第2のクロック供給系を介して供給されるクロックを基準として前記タイマ回路で計測された計測時間とを照合し、その照合結果に基づいて異常の有無を判定する。



【特許請求の範囲】

【請求項1】 プログラムを実行するためのCPUと、前記プログラムを介して利用可能なタイマ回路と、前記CPUに対してクロックを供給するための第1のクロック供給系と、前記タイマ回路を含む周辺ハードウェアに対してクロックを供給するための第2のクロック供給系とを備えたマイクロコンピュータ装置であって、前記マイクロコンピュータ装置のシステムプログラムには、当該マイクロコンピュータ装置の状態を診断するための診断処理が組み込まれており、

前記診断処理は、

前記第1のクロック供給系を介して供給されるクロックを基準として前記CPUにて一定のプログラムを実行することにより計測された計測時間と、前記第2のクロック供給系を介して供給されるクロックを基準として前記タイマ回路で計測された計測時間とを照合し、その照合結果に基づいて異常の有無を判定する処理を含む、ことを特徴とするマイクロコンピュータ装置。

【請求項2】 プログラムを実行するためのCPUと、前記プログラムを介して利用可能なタイマ回路と、前記CPUに対してクロックを供給するための第1のクロック供給系と、前記タイマ回路に対してクロックを供給するための第2のクロック供給系とを備えたマイクロコンピュータ装置であって、前記マイクロコンピュータ装置のシステムプログラムには、当該マイクロコンピュータ装置の状態を診断するための診断処理が組み込まれており、

前記診断処理は、

前記タイマ回路を起動して計時動作を行わせるためのタイマ回路起動処理と、

前記タイマ回路の起動とほぼ同時に起動されて所定の目標時間を計時するソフトウェアタイマ処理と、

前記ソフトウェアタイマ処理にて計時動作が完了するのに応答して、前記タイマ回路の経過時間を読み込み、これを前記ソフトウェアタイマの目標時間と照合する照合処理と、

前記照合処理における照合結果に基づいて、異常の有無を判定する判定処理とからなる、

ことを特徴とするマイクロコンピュータ装置。

【請求項3】 前記診断処理は、システムプログラム中のイニシャライズ処理にて実行されることを特徴とする請求項1若しくは請求項2に記載のマイクロコンピュータ装置。

【請求項4】 前記診断処理は、当該CPUに対する割り込みを禁止した状態において実行されることを特徴とする請求項1若しくは請求項2に記載のマイクロコンピュータ装置。

【請求項5】 前記診断処理は、前記第2のクロック供給系を経由して前記タイマ回路に対して最も高速なクロックを供給した状態において行われることを特徴とする

請求項1若しくは請求項2に記載のマイクロコンピュータ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、自己診断機能を内蔵したマイクロコンピュータ装置にかかり、特にいわゆるハードウェアタイマで計測された計測時間とソフトウェアタイマで計測された計測時間との照合結果に基づいて異常の有無を診断する機能を備えたマイクロコンピュータ装置に関する。

【0002】

【従来の技術】この種のマイクロコンピュータ装置には、CPU、ROM、RAM、周辺ハードウェア等の回路要素をワンチップに集積化したいわゆるワンチップマイクロコンピュータ等と称されるものと、それら回路要素をそれぞれ個別部品として一枚の回路基板上に搭載したいわゆるマイコンボード等と称されるものが知られている。いずれの構成のマイクロコンピュータ装置においても、CPUの動作クロックと周辺ハードウェア用の動作クロックとは別々のクロック供給系を介して供給されるのが通例である。これは、CPUの動作タイムと周辺ハードウェアの動作タイムとは必ずしも一致しないからである。

【0003】すなわち、外部水晶発信回路等から生成されたクロックは、メインシステムクロック発生回路を経由して適当な速度に調整された後、CPUへ至るクロック供給系と、周辺ハードウェアへ至るクロック供給系とに送り出される。これらのクロック供給系には、与えられたクロックに基づいて分周比の異なる複数系統のクロック信号を生成するためのプリスケラや、それらプリスケラから生成された複数系統のクロックの1つを選択するためのセレクト等が含まれている。

【0004】ところで、この種のマイクロコンピュータ装置における動作異常を診断するための手段としては、いわゆるウォッチ・ドッグ・タイマ回路を用いた故障診断方法が従来より知られている。この故障診断方法にあつては、予め一巡実行時間が規定された制御プログラム中に、特定の出力ポートに対してON信号並びにOFF信号を交互に出力するようにポートON命令並びにポートOFF命令を挿入する一方、この出力ポートから得られる周期的なパルス列の周期をウォッチ・ドッグ・タイマにより監視し、これが規定時間を超えた場合CPUに対して強制的にリセットをかけるようにしたものである。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来のウォッチ・ドッグ・タイマ回路を用いた故障診断方法にあつては、マイクロコンピュータ装置の信頼性を極度に追求しようとした場合、CPU並びに周辺ハードウェアのそれぞれに対して、規定速度のクロックが

10

20

30

40

50

正常に供給されていることを確認する必要が生ずる。すなわち、クロック速度の狂いは、各クロック供給系を構成する分周回路やセクタ等にビット固着が生じた場合等に多く発生する。

【0006】この発明の目的とするところは、CPUに供給されるクロックの速度に狂いが生じていたり、あるいは周辺ハードウェアに供給されるクロックの速度に狂いが生じているような場合にも、これを的確に診断する機能を備えたマイクロコンピュータ装置を提供することにある。

【0007】

【課題を解決するための手段】この出願の請求項1に記載の発明は、プログラムを実行するためのCPUと、前記プログラムを介して利用可能なタイマ回路と、前記CPUに対してクロックを供給するための第1のクロック供給系と、前記タイマ回路を含む周辺ハードウェアに対してクロックを供給するための第2のクロック供給系とを備えたマイクロコンピュータ装置であって、前記マイクロコンピュータ装置のシステムプログラムには、当該マイクロコンピュータ装置の状態を診断するための診断処理が組み込まれており、前記診断処理は、前記第1のクロック供給系を介して供給されるクロックを基準として前記CPUにて一定のプログラムを実行することにより計測された計測時間と、前記第2のクロック供給系を介して供給されるクロックを基準として前記タイマ回路で計測された計測時間とを照合し、その照合結果に基づいて異常の有無を判定する処理を含む、ことを特徴とするマイクロコンピュータ装置にある。

【0008】この請求項1に記載の発明にあつては、第1のクロック供給系を介して供給されるクロックを基準としてCPUにて一定のプログラムを実行することにより計測された（いわゆる、ソフトウェアタイマ処理にて計測された）計測時間と、第2のクロック供給系を介して供給されるクロックを基準としてタイマ回路で計測された（いわゆる、ハードウェアタイマにより計測された）計測時間とを照合し、その照合結果に基づいて異常の有無を判定している。

【0009】ここで、ハードウェアタイマ処理にて計測された計測時間とソフトウェアタイマ処理にて計測された計測時間との照合は、いずれを基準にして行ってもよい。すなわち、タイマ回路で一定時間を計測し、これによりタイマ割り込みがかかった時点において、ソフトウェアタイマにおける計測時間を読み込んで両者を照合してもよいし、逆にソフトウェアタイマ処理にて一定時間が計測されるのに応答して、ハードウェアタイマの計測時間を読み込み、両者を照合しても良いであろう。

【0010】尚、『プログラムを実行するためのCPU』とあるのは、この種のCPUにおける一般的な機能を包括的に規定したものには過ぎない。すなわち、この種のCPUにおいては、一般にプログラムカウンタを歩進

させつつROM等から命令を順次を読み出し、これをALU (Arithmetic and Logical Unit)等を用いて実行することにより、プログラムにより規定された機能を実現するものである。

【0011】又、『プログラムを介して利用可能なタイマ回路』とあるのは、この種のマイクロコンピュータ装置においては、外部タイマ回路を使用するための幾つかの命令語が予め用意されており、それらの命令語を用いて任意の時間の計測が可能となっている。ここで、周知の如く、この種のタイマ回路における計測時間は、所定の命令語を用いることによって、任意の時点でCPUに読みこみが可能となっている。

【0012】又、『タイマ回路を含む周辺ハードウェア』とあるのは、この種のマイクロコンピュータ装置においては、タイマ回路の他に、CPUの動作を支援するための各種のハードウェア回路が含まれるのが通例であるため、それらを包括的に規定したものである。そして、この請求項1に記載の発明によれば、第1のクロック供給系並びに第2のクロック供給系のそれぞれを構成する分周回路やセクタ等にビット固着故障等が存在すれば、それらを経由して供給されるクロックに基づく2つの計測時間に差異が生ずるため、それらの照合結果に基づいて異常の有無を判定することができる。

【0013】この出願の請求項2に記載の発明は、プログラムを実行するためのCPUと、前記プログラムを介して利用可能なタイマ回路と、前記CPUに対してクロックを供給するための第1のクロック供給系と、前記タイマ回路に対してクロックを供給するための第2のクロック供給系とを備えたマイクロコンピュータ装置であって、前記マイクロコンピュータ装置のシステムプログラムには、当該マイクロコンピュータ装置の状態を診断するための診断処理が組み込まれており、前記診断処理は、前記タイマ回路を起動して計時動作を行わせるためのタイマ回路起動処理と、前記タイマ回路の起動とほぼ同時に起動されて所定の目標時間を計時するソフトウェアタイマ処理と、前記ソフトウェアタイマ処理にて計時動作が完了するのに応答して、前記タイマ回路の経過時間を読み込み、これを前記ソフトウェアタイマの目標時間と照合する照合処理と、前記照合処理における照合結果に基づいて、異常の有無を判定する判定処理とからなる、ことを特徴とするマイクロコンピュータ装置にある。

【0014】この請求項2に記載の発明では、ソフトウェアタイマ処理にて計測された計測時間を基準とし、ハードウェアタイマ処理にて計測された計測時間を読み込んで両者を照合することにより、異常の有無を判定している。

【0015】ここで、『タイマ回路の起動とほぼ同時に』とあるのは、逐次直列実行方式であるマイクロコンピュータ処理の原理からして、全く同時に両者を起動す

ることは困難であることを考慮したためである。もちろん、これらの起動は1命令実行時間の遅れをもって行うことが最も好ましいであろう。

【0016】又、『ソフトウェアタイマ処理にて計時動作が完了するのに応答して、前記タイマ回路の計時時間を読み込み』とあることから、前述したように、このマイクロコンピュータ装置にあっては、一般に知られているように、任意の時点において所定の命令語を用いることにより、外部タイマ回路の計測時間の読み込みが可能となっている。

【0017】又、『照合処理における照合結果に基づいて、異常の有無を判定する』とあるのは、もちろん、照合一致か若しくは不一致かに基づいて異常の有無を判定するのであるが、その際の判定においては、一定の許容幅が設定されている。すなわち、いかに両クロックが正常であっても、2つの計測系において計測された計測時間がビット単位で完全に一致することは有り得ないであろう。

【0018】そして、この請求項2に記載の発明によれば、タイマ割込処理を起動させることなく、両計測時間の照合処理が可能となるため、計測時間の照合信頼性が向上する。

【0019】この出願の請求項3に記載の発明は、前記診断処理は、システムプログラム中のイニシャライズ処理にて実行されることを特徴とする請求項1若しくは請求項2に記載のマイクロコンピュータ装置にある。

【0020】この請求項3に記載の発明では、上述した診断処理を、システムプログラム中のイニシャライズ処理にて実行させている。

【0021】ここで、『イニシャライズ処理』とあるのは、当業者には良く知られているように、電源投入直後において、本来の制御プログラムへ移行する前に実行される処理であって、通常は各種のフラグやレジスタの初期設定を行ったり、必要な故障診断処理等を実行するものである。

【0022】そして、この請求項3に記載の発明によれば、電源投入のたびに、2系統のクロック供給系のそれぞれを診断することができ、マイクロコンピュータ装置における信頼性を著しく向上させることができる。

【0023】この出願の請求項4に記載の発明は、前記診断処理は、当該CPUに対する割り込みを禁止した状態において実行されることを特徴とする請求項1若しくは請求項2に記載のマイクロコンピュータ装置にある。

【0024】この請求項4に記載の発明では、上述した診断処理を、CPUに対する割り込みを禁止した状態において実行させている。

【0025】ここで、このような割込処理の禁止は、当該診断処理を挟んでその前後に、割込禁止命令と割込許可命令とを挿入することで行われるであろう。

【0026】そして、この請求項4に記載の発明によれば、

ば、ソフトウェアタイマ処理の最中に他の割込みが入り込まないため、ソフトウェアタイマ処理にて計測される計測時間の精度が保証されることとなる。

【0027】この出願の請求項5に記載の発明は、前記診断処理は、前記第2のクロック供給系を経由して前記タイマ回路に対して最も高速なクロックを供給した状態において行われることを特徴とする請求項1若しくは請求項2に記載のマイクロコンピュータ装置にある。

【0028】この請求項5に記載の発明にあっては、上述した診断処理を、外部タイマ回路に対して最も高速なクロックを供給した状態において行わせている。

【0029】ここで、『最も高速なクロック』とあるのは、この種のクロック供給系においては、通常プリスケアラやセレクトア等が挿入され、複数系統の速度の異なるクロックの中の1つを任意にCPUからの制御で選択できることを考慮したものである。

【0030】そして、この請求項5に記載の発明によれば、タイマ回路における計時動作は最も高速なクロックを用いて行われるため、高精度な計測時間を用いて信頼性の高い故障診断を行うことが可能となる。

【0031】

【発明の実施の形態】以下、この発明の好ましい実施の形態につき、添付図面を参照して詳細に説明する。

【0032】周知の如く、この種のマイクロコンピュータ装置は、プログラムを実行するためのCPUと、プログラムを格納するためのROMと、ワーキングエリア等として使用されるRAMと、入出力のためのインタフェース回路と、タイマ処理を実行するための外部タイマ回路等により構成されており、CPUではプログラムカウンタに従ってROMから命令を順次を読み出すと共に、これをALUを用いてかつRAM内のワーキングエリアを利用して実行すると共に、その最終実行結果をインタフェース回路を介して外部へと出力するのが一般的である。このようなマイクロコンピュータの基本的な動作については、各種の文献において種々公知であるため、説明は省略し、以下本発明の要部であるクロック供給系の構成、タイマ回路の構成、並びにシステムプログラムの構成を中心として説明する。

【0033】本発明にかかるマイクロコンピュータ装置のクロック供給系の構成を図1に示す。同図に示されるマイクロコンピュータ装置はいわゆるワンチップ・マイクロコンピュータ等と称されるものであり、図示しないが、CPU、ROM、RAM、周辺ハードウェアをワンチップに集積化して構成されており、クロックに関しては外部に設けられた水晶発信回路等から供給されている。

【0034】すなわち、ワンチップマイクロコンピュータ1の外部には水晶発信回路で構成されたクロック源2が設けられており、このクロック源2から出力されるクロック信号は、ワンチップ・マイクロコンピュータ1に

導入された後、メイン・システムクロック発生回路3へと供給される。

【0035】メイン・システムクロック発生回路3は、クロック源2から供給されるクロックの周波数を適当に調整した後、クロック信号 f_x として出力する。このクロック信号 f_x は、更に2系統に分岐された後、一方はその後段に設けられたセクタ4の入力端子I1へと供給され、他方は分周回路5によって2分周され、クロック信号 $f_x/2$ としてセクタ4の他方の入力端子I2へと供給される。

【0036】セクタ4は、図示しないCPUからの指令により切替制御を行うように構成されており、そのためセクタ4の出力端子Oからは、2つの入力端子I1、I2のいずれかに供給されたクロック信号が、クロック信号 f_{xx} として出力される。このクロック信号 f_{xx} は、更に2系統に分岐された後、その一方はCPUへ至る第1のクロック供給系Aへと、また他方は周辺ハードウェアへ至る第2のクロック供給系Bへと送り出される。

【0037】第1のクロック供給系Aは、クロック信号 f_{xx} に基づいて、分周比の異なる4系統のクロック信号 $f_{xx}/2^1$ 、 $f_{xx}/2^2$ 、 $f_{xx}/2^3$ 、 $f_{xx}/2^4$ を生成するプリスケアラ6と、このプリスケアラ6で生成された4系統のクロック信号並びにセクタ4から出力されるクロック信号 f_{xx} から、その1つを選択するためのセクタ7が含まれている。すなわち、周知の如く、プリスケアラ6はT型フリップフロップを多段従属接続して構成されており、その出力端子O1～O4からは、各従属段の出力が並列に外部へと出力される。プリスケアラ6の出力端子O1～O4からの出力信号は、セクタ7の入力端子I1～I4へと供給され、加えてセクタ4の出力端子Oから出力されるクロック信号 f_{xx} はセクタ7の入力端子I5へと供給されている。セクタ7は、先のセクタ4と同様に、図示しないCPUからの指令により切替制御を行うように構成されており、その出力端子Oからは入力端子I1～I5へと供給されたクロック信号のいずれかがCPUクロック f_{cpu} として出力され、このクロック信号 f_{cpu} が図示しないCPUのクロック入力端子へと動作クロックとして供給されることとなる。

【0038】他方、第2のクロック供給系Bには、先に説明したプリスケアラ6と同様な構成を有するプリスケアラ8が含まれており、このプリスケアラ8から得られる複数系統のクロック信号は、タイマ回路を含む周辺ハードウェアへと供給されている。尚、ここでは図示していないが、周辺ハードウェアを構成する各タイマ回路等の手前には、先に説明したセクタ7と同様な構成を有するセクタがそれぞれ配置されており、図示しないCPUからの指令により、それらタイマ回路等のクロック利用機器に対するクロック信号を予め用意された複数種

類のクロック信号の中から選択させることが可能になっている。すなわち、CPUで実行されるべきプログラムにおいて、所定の命令語を使用してクロックを選択することにより、それらタイマ回路並びにクロック利用機器の使用クロックを、例えば、高速、中速、低速に任意に切替えが可能になされている。

【0039】次に、本発明の要部であるタイマ回路を含むタイマ割込回路の構成を図2のロジックシンボル図に示す。このタイマ割込回路は、同一構成からなる2系統のタイマ割込回路から構成されている。

【0040】すなわち、第1のタイマ割込回路は、カウントクロック ϕ_1 を基準として時間計測動作を行い、かつその計測時間をプログラムにて参照することが可能なタイマ回路TM1と、タイマ回路TM1と比較されるべき目標時間をプログラムを介して書き込むことが可能なコンペアレジスタCR1と、タイマ回路TM1の計測時間とコンペアレジスタCR1の計測目標時間とが一致すると“1”にセットされ、かつその内容をプログラムにて参照が可能な割込フラグIF1と、プログラムにて“1”若しくは“0”に操作することが可能な割込マスクフラグMK1と、割込マスクフラグMK1が“1”にセットされているときに、割込フラグIF1の内容が出力されることを禁止するための割込禁止ゲートG11と、プログラムにて“1”若しくは“0”に操作することが可能な割込イネーブルフラグIEの出力で制御される割込許可ゲートG12とから構成されている。

【0041】同様に第2のタイマ割込回路は、カウントクロック ϕ_2 を基準として時間計測動作を行い、かつその計測時間をプログラムにて参照することが可能なタイマ回路TM2と、タイマ回路TM2と比較されるべき計測目標時間をプログラムにて書き込むことが可能なコンペアレジスタCR2と、タイマ回路TM2の計測時間とコンペアレジスタCR2の計測目標時間とが一致したときにセットされ、かつその内容をプログラムにて参照が可能な割込フラグIF2と、プログラムにて“1”若しくは“0”に操作することが可能な割込マスクフラグMK2と、割込マスクフラグMK2が“1”にセットされているとき、割込フラグIF2の内容が出力されることを禁止するための割込禁止ゲートG21と、前述した割込イネーブルフラグIEにより制御される割込許可ゲートG22とから構成されている。そして、割込許可ゲートG12、G22から出力される信号は、タイマTM1一致割込信号S1、タイマTM2一致割込信号S2として、図示しないCPUの割込入力部へと供給され、これによりプログラム実行中にいわゆるタイマ割込みがかかることとなる。

【0042】尚、上述した回路において、カウントクロック ϕ_1 、 ϕ_2 は、図1で説明した第2のクロック供給系Bを経由して供給される複数系統のクロック信号の1つであり、前述したようにプログラム中において所定の

クロック選択命令を使用することにより、例えば高速クロック、中速クロック、低速クロック等のように任意に切替えが可能に構成されている。後述する本発明の診断処理においては、カウントクロックφ1としてそのうちの最も高速なクロックが選択されている。

【0043】次に、本発明にかかる診断処理の構成を図3のフローチャートを参照して順次系統的に説明する。同図に示されるプログラムは電源導入直後のイニシャライズ処理として実行されるものである。

【0044】すなわち、同図において処理が開始されると、まず割込禁止処理が実行される（ステップ201）。この割込禁止処理では、図2に示される割込イネーブルフラグIEを“0”にリセットすることによって、割込許可ゲートG12、G22を閉じると共に、その他、タイマ割込以外の全ての割込回路についても同様に割り込みがかからないように該当するゲートを閉じる。

【0045】次いで、タイマTM1クロック設定処理が実行されると（ステップ202）、先に説明した図示しないセクタをプログラムを介して制御することにより、最も高速なクロックがカウントクロックφ1として選択される。ここでは、このような最も高速なクロックとして0.4μsのクロックが選択されている。

【0046】次いで、タイマTM1スタート処理が実行されると（ステップ203）、図示しないタイマスタート/ストップフラグを“1”にセットすることにより、タイマ回路TM1に対する起動がかけられる。尚、この種のタイマスタート/ストップフラグについては、当業者には良く知られているように、この種のマイクロコンピュータ装置において広く利用されているものであり、このフラグをプログラムにおいて“0”にリセットするとタイマ回路TM1はクリアされた状態で停止することとなり、また“1”にセットするとそのセット時点から計測動作を開始するものである。

【0047】次いで、ソフトタイマ処理が実行されると（ステップ204）、所定の目標時間（ここでは、1.7234ms）を計時するソフトウェアタイマ処理が行われる。尚、この種のソフトウェアタイマ処理の詳細については、各種文献等において当業者に広く知られており、すなわち一巡実行時間が規定されている一定のプログラムを繰り返し実行することによって、目標時間を計測するものである。又、このときCPUの動作クロックとしては0.2μsのクロックが使用されている。

【0048】次いで、タイマTM1計測値の読み込み処理が実行されると（ステップ205）、それまでタイマ回路TM1で計測されてきた経過時間が読み込まれ、この経過時間はレジスタtm1に格納される。すなわち、先に説明したように、タイマ回路TM1の計測値は、プログラムにおいて所定の命令語を用いることにより、任意に読み込みが可能となされており、このようにして読

み込まれた経過時間を図示しないRAMのワーキングエリアに設けられたレジスタtm1に格納するのである。

【0049】次いで、タイマTM1のストップ処理が実行されると（ステップ206）、先に説明したスタート/ストップフラグは“0”にリセットされ、これによりタイマ回路TM1の計測動作は零リセットされた状態で停止されることとなる。

【0050】次いで、計測時間の照合処理が実行されると（ステップ207）、タイマ回路TM1を用いたハードウェアタイマ処理にて計測された計測時間とステップ204のソフトウェアタイマ処理にて計測された計測時間との照合が所定の許容幅をもって行われる。ここで、ソフトウェアタイマ処理における目標時間である1.7234msは、0.4μsのクロックにて計測すると、4308.5クロック（1.7234ms/0.4μs）に相当する。そのため、上述した計測時間の照合は、タイマ回路TM1にて計測された計測時間が、所定の下限值10CBh（=4299クロック）と所定の上限値10DFh（=4319クロック）との間に入っているかを判定することにより行われる。

【0051】ここで、ハードウェアタイマ処理にて計測された計測時間tm1が所定の上下限值内に納まっていると判定されると（ステップ207YES）、割込許可処理が実行されて（ステップ208）、タイマ割込処理のみならずその他全ての割込処理の禁止が解かれ、診断処理を終了して、本来の目的とするメインルーチン処理（制御処理等）への移行が行われる。これに対して、ハードウェアタイマ処理にて計測された計測時間tm1が所定の上下限值から外れていると判定されると（ステップ207NO）、所定の異常時処理が実行され（ステップ209）、その旨を外部へ報知したり、必要な安全のための処理等が実行されることとなる。

【0052】このように以上の実施の形態によれば、タイマ回路TM1を起動して計時動作を行わせるためのタイマ回路起動処理（ステップ203）と、タイマ回路TM1の起動とほぼ同時に起動されて所定の目標時間を計時するソフトウェアタイマ処理（ステップ204）と、ソフトウェアタイマ処理にて計時動作が完了するのに応答して、タイマ回路TM1の経過時間を読み込み（ステップ205）、これをソフトウェアタイマ回路の目標時間（1.7234ms）と照合する照合処理（ステップ207）を設けたものであり、そのためCPUへクロックを供給するための第1のクロック供給系A若しくはタイマ回路TM1を含む周辺ハードウェアへクロックを供給するための第2のクロック供給系Bにおいて、プリスケアラやセクタにビット固着故障等が生じたことを原因として、動作クロックの速度に狂いが生じたような場合には、照合処理（ステップ207）において照合不一致が生じることにより、そのような異常を的確に診断することができる。

【0053】又、以上の実施の形態においては、診断処理を挟んでその前後に割込禁止処理（ステップ201）と割込許可処理（ステップ208）とを設けて、ソフトウェアタイマ処理の途中で何らかの割り込みが入ることを禁止しているため、ソフトウェアタイマ処理にて計測される計測時間の精度を確実に保証することができ、診断の信頼性を確かなものとすることができる。

【0054】更に、以上の実施の形態では、ハードウェアタイマ処理にて利用されるクロックとして最も高速なクロック（0.4 μ s）を採用しているため、ハードウェアタイマ処理における計測精度も高く、それらが相俟って一層信頼性の高い診断処理を実現している。

【0055】尚、以上の実施の形態においては、ソフトウェアタイマ処理（ステップ204）において所定時間（1.7234ms）が計測完了するのに応答して、ハードウェアタイマ処理における経過時間を読み込み、その後両者を照合するという手法を採用したが、逆に、ハードウェアタイマ処理にて所定時間が計測完了するのに応答してタイマ割込を発生させ、この割込処理の中においてソフトウェアタイマ処理の経過時間を読み込み、その後両者を照合することによっても、同様な異常診断を行うことができると考えられる。

【0056】

【発明の効果】以上の説明で明らかなように、この発明によれば、CPUに供給されるクロックの速度に狂いが生じていたり、あるいは周辺ハードウェアに供給されるクロックの速度に狂いが生じているような場合にも、これを的確に診断する機能を備えたマイクロコンピュータ

装置を提供することができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるマイクロコンピュータ装置におけるクロック供給系の構成を説明するためのブロック図である。

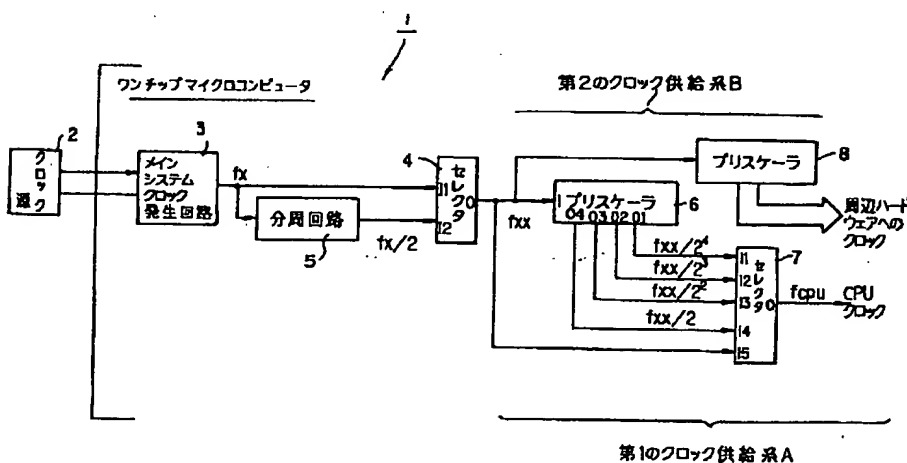
【図2】本発明の要部であるタイマ回路を含むタイマ割込回路の構成を示すロジックシンボル図である。

【図3】本発明にかかる診断処理の詳細を示すフローチャートである。

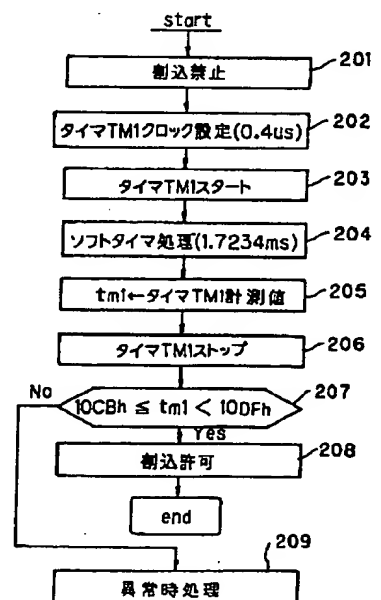
【符号の説明】

- 1 ワンチップマイクロコンピュータ
- 2 クロック源
- 3 メイン・システムクロック発生回路
- 4 セレクタ
- 5 分周回路
- 6 プリスケアラ
- 7 セレクタ
- 8 プリスケアラ
- A 第1のクロック供給系
- B 第2のクロック供給系
- TM1, TM2 タイマ回路
- CR1, CR2 コンペアレジスタ
- IF1, IF2 割込フラグ
- MK1, MK2 割込マスクフラグ
- G11, G21 割込禁止ゲート
- G12, G22 割込許可ゲート
- IE 割込イネーブルフラグ

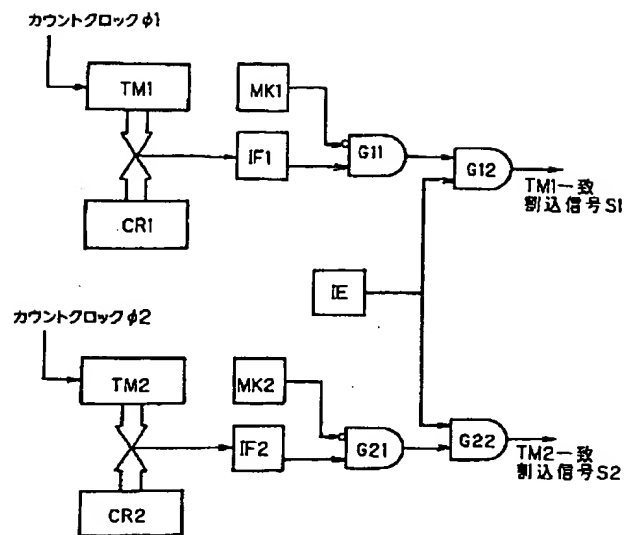
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 小島 浩孝
大阪府大阪市中央区城見一丁目4番24号
日本電気ホームエレクトロニクス株式会社
内

(72)発明者 大田 淳朗
埼玉県和光市中央一丁目4番1号 株式会
社本田技術研究所内

(72)発明者 林 達生
埼玉県和光市中央一丁目4番1号 株式会
社本田技術研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.